



Atty. Dkt. No. 039449-0102

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Hiromichi TAI  
Title: GATE DRIVING CIRCUIT  
Appl. No.: 10/757,573  
Filing Date: 01/15/2004  
Examiner: Unassigned  
Art Unit: Unassigned

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
PO Box 1450  
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPAN Patent Application No. 2003-012409 filed 01/21/2003.

Respectfully submitted,

Date February 2, 2004

By

FOLEY & LARDNER  
Customer Number: 22428  
Telephone: (202) 672-5414  
Facsimile: (202) 672-5399

Richard L. Schwaab  
Attorney for Applicant  
Registration No. 25,479

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 1 月 2 1 日

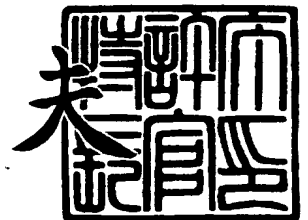
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 0 1 2 4 0 9  
[ST. 10/C]: [ J P 2 0 0 3 - 0 1 2 4 0 9 ]

出 願 人  
Applicant(s): 株式会社東芝

2 0 0 4 年 1 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 1 1 7 2 8



【書類名】 特許願

【整理番号】 21B023012

【提出日】 平成15年 1月21日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/16  
H02M 1/00

【発明の名称】 ゲート駆動回路

【請求項の数】 5

【発明者】

【住所又は居所】 東京都府中市東芝町 1 番地 株式会社東芝 府中事業所  
内

【氏名】 田井 裕通

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

## 【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

## 【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

## 【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

## 【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

## 【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

## 【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ゲート駆動回路

【特許請求の範囲】

【請求項 1】 駆動対象となる電圧駆動型スイッチング素子の制御電極を駆動する制御電圧源及び制御電流源と、外部の上位制御装置より与えられる制御信号を基に前記制御電圧源を制御する電圧駆動信号を作成する電圧制御信号作成手段と、前記制御信号に対して或る一定の遅れ時間を持った遅延制御信号を作成する遅延制御信号作成手段と、前記遅延制御信号を波形整形して電圧基準信号を作成する電圧基準信号作成手段と、前記電圧駆動型スイッチング素子の主電極間の電圧を検出して主電圧検出信号を出力する電圧検出手段と、前記主電圧検出信号を前記電圧基準信号と比較して前記制御電流源を制御する比較結果信号を出力する比較手段とを有することを特徴とするゲート駆動回路。

【請求項 2】 駆動対象となる電圧駆動型スイッチング素子の制御電極を駆動する制御電圧源及び制御電流源と、外部の上位制御装置より与えられる制御信号を基に前記制御電圧源を制御する電圧駆動信号を作成する電圧制御信号作成手段と、前記制御信号に対して或る一定の遅れ時間を持った遅延制御信号を作成する遅延制御信号作成手段と、前記遅延制御信号を波形整形して電圧基準信号を作成する電圧基準信号作成手段と、前記電圧駆動型スイッチング素子の主電極間の電圧を検出して主電圧検出信号を出力する電圧検出手段と、前記主電圧検出信号を前記電圧基準信号と比較して前記制御電流源を制御する比較結果信号を出力する比較手段と、前記制御信号よりスイッチング過渡期間を検出する過渡期間検出手段と、前記比較手段の次段に接続され、前記スイッチング過渡期間のみ前記比較結果信号を通過させ、定常期間では前記比較結果信号を減衰させる選択的信号通過手段とを有することを特徴とするゲート駆動回路。

【請求項 3】 前記制御電圧源の出力端子は抵抗を介して前記電圧駆動型スイッチング素子の制御電極に接続され、前記制御電流源の出力端子は前記電圧駆動型スイッチング素子の制御電極に接続されてなることを特徴とする請求項 1 又は 2 記載のゲート駆動回路。

【請求項 4】 前記遅延制御信号作成手段は、前記抵抗の値に応じて前記遅

延制御信号の遅延時間を可変設定するようにしてなることを特徴とする請求項 3 記載のゲート駆動回路。

【請求項 5】 前記電圧基準信号作成手段として、2 次型低域通過フィルタを用いてなることを特徴とする請求項 1 又は 2 記載のゲート駆動回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、電力用スイッチング素子を駆動するゲート駆動回路に関する。

【0 0 0 2】

【従来の技術】

電力用スイッチング素子を応用した電力変換器は、スイッチング素子の大容量化・高速化に伴い、その応用範囲を着実に広げている。このような電力用スイッチング素子で、特に、最近応用分野を伸ばしてきたのが MOS ゲート型のスイッチング素子である IGBT や MOSFET である。

【0 0 0 3】

IGBT や MOSFET は、オン・オフ状態を自己継続しないノンラッチング型のスイッチング素子であり、サイリスタ等のラッチング型のスイッチング素子に比べて、ターンオン・ターンオフのスイッチング過渡期において、素子外部からの細かい制御が可能な点が大きな利点である。

【0 0 0 4】

近年、IGBT など高電圧・大電流に耐え得る大容量の素子が製品化されるに至り、電力系統向けの自励式変換器を IGBT で構成することが行われるようになった。電力系統向けの変換器には、送電時の損失低減のために定格電圧が非常に高くなるのが普通である。例えば、直流電圧 50 kV といった、これまでにない高電圧の変換器となる。

【0 0 0 5】

こうした高電圧の変換器を構成するためには、多数個のスイッチング素子を直列に接続することが必須である。このような、多数個のスイッチング素子を直列に接続する応用では、ターンオン・オフ過渡期における各スイッチング素子間の

電圧ばらつきが問題となる。スイッチング素子は定常オフ状態では容易に電圧分担を平衡させられるが、過渡期にはスイッチングタイミングの僅かなばらつきが大きな電圧分担の不均衡となり、素子の破壊に結び付くためである。

#### 【0 0 0 6】

また、スイッチング素子を直列に接続しない場合でも、素子のスイッチング損失がしばしば問題となる。特に周囲の電子機器に対する電磁障害を考慮して、素子のスイッチング速度を落とさざるを得ない場合には、飛躍的にスイッチング損失が増大し、装置の定格を小さくするか素子の冷却に大きな冷却装置を設置する必要が生じる。

#### 【0 0 0 7】

これに対し、従来の電圧駆動型素子の駆動回路としては、電圧駆動型素子のゲートに第 2 のスイッチ手段及び抵抗値可変の第 2 の抵抗手段を介してゲート電圧を印加する回路と、電圧駆動型素子のゲートから第 1 のスイッチ手段及び抵抗値可変の第 1 の抵抗手段を介してゲート電圧を除去する回路と、電圧駆動型素子の主電圧値を検出し、その電圧検出値に応じて上記の第 1 の抵抗手段、第 2 の抵抗手段の抵抗値を可変する電圧検出手段と、第 1 のスイッチ手段及び第 2 のスイッチ手段のオン・オフを制御する制御回路とを備えている。

#### 【0 0 0 8】

そして、電圧検出手段で検出した主電圧が所定値未満では、第 1、第 2 の抵抗手段の抵抗値は低抵抗、主電圧が所定値以上では、高抵抗に変化させる。この結果、電圧駆動型素子のターンオフ、ターンオンの期間中に主電圧が変化することによって第 1、第 2 の抵抗手段の抵抗値が変化し、ゲート容量からの放電あるいは充電速度が変化する。ターンオフ時には主電圧は増加することから、第 1 の抵抗手段が低抵抗から高抵抗に変化し、放電速度は遅くなる。一方、ターンオン時には主電圧は減少することから、第 2 の抵抗手段が高抵抗から低抵抗に変化し、充電速度は始めは遅く、主電圧が所定値以下の期間から速くなる。このように、ターンオフ、ターンオン期間中の電圧変化  $dV/dt$ 、電流変化  $di/dt$  を緩和してサージ電圧やノイズを抑制するようにしている（例えば、特許文献 1 参照）。

## 【0009】

従来の電圧駆動型素子の駆動回路として、電圧駆動型素子のゲートに第2の制御手段で制御される第2のスイッチから第2の抵抗手段を経てゲート電圧を印加するように構成し、さらに第2の抵抗手段と並列に第1の制御手段で制御される第1のスイッチに接続された第1の抵抗手段を設けている。また電圧駆動型素子の主電圧値を検出する電圧検出部と、電圧駆動型素子を流れる主電流値を検出する電流検出部とを設けている。第1の制御手段は、主電流値に対応する遅延時間を設定する遅延回路を含むとともに第2の制御手段の第2のスイッチに対するオン・オフ制御信号に基づいて第1のスイッチをオンさせ、電圧検出部で検出した主電圧値が所定値に達したあと、電流検出部で検出した主電流値に応じて遅延回路で設定した遅延時間後に第1のスイッチをオフ制御する。

## 【0010】

そして、電圧駆動型素子のターンオン・ターンオフ直後は両抵抗手段の並列接続による低い抵抗値でゲート電圧の変化速度を高く保持してゲート容量に対し急速充放電を行い、その後、端子電圧値と主電流値に応じたタイミングで第1のスイッチをオフし、第2の制御手段のみの高い抵抗値でゲート電圧の変化速度を緩和してサージ電圧の増大を防止するようにしている。即ち、主としてターンオン期間・ターンオフ期間におけるゲート容量に対する充放電速度を変化させてサージ電圧の増大を防止するようにしている（例えば、特許文献2参照）。

## 【0011】

また、従来のスイッチング素子の駆動回路として、スイッチング素子を駆動する駆動波形の電圧変化率の最大値が所定値以下となるようにスイッチング素子を電圧駆動する駆動手段と、スイッチング素子に負帰還をかける負帰還手段とを備えている。

## 【0012】

スイッチング素子の動作特性は、一般的に駆動波形に対して非直線的に変化し、駆動波形の電圧変化率の最大値が所定値以下であっても、出力波形の電圧変化率は所定値以上になってしまう。したがって、駆動波形のみを鈍らせてもサージ電流やサージ電圧を所定値以下に抑制することはできない。そこで、さらに負帰



還をかけ、装置や回路の仕様を満足する範囲でスイッチング速度を遅くすることにより、サージ電流やサージ電圧の発生をスイッチング素子の定格内に抑制するようにしている（例えば、特許文献 3 参照）。

#### 【 0 0 1 3 】

さらに、最近、アクティブゲート駆動技術が用いられている。ノンラッチング型スイッチング素子の特質である制御性の高さを利用して、スイッチング過渡時に、素子のゲート電圧をコレクタ・エミッタ間電圧などに応じて微妙に加減することで、ターンオフサージ電圧やターンオンサージ電流を抑制したり、直列接続されたスイッチング素子間の電圧分担を揃えたりする技術である。

#### 【 0 0 1 4 】

図 6 は、アクティブゲート駆動を可能にする従来技術を示している。アクティブゲート駆動技術は、主回路用品を削減し、高い信頼性の変換器を実現するために非常に有効な技術であるが、一方、ゲート駆動回路が複雑になり、調整が困難になるという課題がある。このことを図 6 に示す従来技術のブロック図によって説明する。

#### 【 0 0 1 5 】

図 6 において、スイッチング素子 9 の制御電極は制御電圧源 2 より抵抗 8 を介して駆動されている。制御電圧源 2 は、電圧制御信号作成手段 1 より供給されるゲート信号によって、方形波状の電圧を発生する。一方、スイッチング素子 9 の制御電極には制御電流源 6 も接続されている。スイッチング素子 9 の主電圧の時間微分値である  $dV/dt$  の大小は  $dV/dt$  検出手段 1 2 が、主電圧のサージ電圧はサージ電圧検出手段 1 1 がそれぞれ検出し、これらの検出手段の出力によりサージ電圧を軽減したり、所望の  $dV/dt$  となるようにスイッチング速度を加減するべく電流制御信号作成手段 1 0 によって作成された電流制御信号に応じて、制御電流源 6 がスイッチング素子 9 のゲート電荷を加減する。これによって、スイッチング過渡時においてスイッチング素子 9 の主電圧は適切な  $dV/dt$  で上昇・下降するとともに、素子破壊の原因となるサージ電圧を抑制することができる。

#### 【 0 0 1 6 】

**【特許文献 1】**

特開平 6 - 2 9 1 6 3 1 号公報（第 3 - 4 頁、図 1）

**【0 0 1 7】****【特許文献 2】**

特開 2 0 0 1 - 2 7 4 6 6 5 号公報（第 4 - 7 頁、図 1 - 図 3）

**【0 0 1 8】****【特許文献 3】**

特開 2 0 0 0 - 1 3 4 0 7 5 号公報（第 2 - 3 頁、図 1）

**【0 0 1 9】****【発明が解決しようとする課題】**

特許文献 1 に記載の従来技術は、ターンオフ、ターンオン期間中の電圧変化  $dV/dt$ 、電流変化  $di/dt$  を緩和してサージ電圧やノイズを抑制するようにしているので、電圧駆動型素子の高速スイッチング性を害してスイッチング損失の増大を招く恐れがある。

**【0 0 2 0】**

特許文献 2 に記載の従来技術は、主としてターンオン期間・ターンオフ期間におけるゲート容量に対する充放電速度を緩和してサージ電圧の増大を防止するようにしているので、上記と同様に、電圧駆動型素子の高速スイッチング性を害してスイッチング損失の増大を招く恐れがある。

**【0 0 2 1】**

特許文献 3 に記載の従来技術は、スイッチング素子に負帰還をかけてスイッチング速度を遅くすることにより、サージ電流やサージ電圧の発生を抑制するようにしているので、スイッチング損失の増大を招く恐れがある。

**【0 0 2 2】**

また、アクティブゲート駆動技術を用いた図 6 に示す従来技術には、なお幾つかの問題点がある。まず、帰還制御のループがサージ電圧と  $dV/dt$  の 2 系統からなり、これらが相互に干渉するために動作が不安定になる場合があることである。これを避けるためには 2 つのループ間でゲインの調整を行わなければならないが、スイッチング過渡時にしか動作しない制御ループなので調整は容易では

ない。

### 【0023】

次に、図6に示す従来技術はターンオフ側についてはこれで十分であるが、ターンオン側にも対応するのが容易ではない。ターンオン側についても、対になったFWDの逆回復時のストレスを軽減するために $dV/dt$ を制御するには、また別に制御ループを設けるしかない。このように、図6に示す従来技術は調整が困難で、柔軟性に欠けるという問題がある。

### 【0024】

本発明は、上記に鑑みてなされたもので、アクティブゲート駆動のための、簡素で調整が容易であり、且つスイッチング損失の増大を招くことなく、確実にサージ電流やサージ電圧の発生を抑制することができるゲート駆動回路を提供することを目的とする。

### 【0025】

#### 【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、駆動対象となる電圧駆動型スイッチング素子の制御電極を駆動する制御電圧源及び制御電流源と、外部の上位制御装置より与えられる制御信号を基に前記制御電圧源を制御する電圧駆動信号を作成する電圧制御信号作成手段と、前記制御信号に対して或る一定の遅れ時間を持った遅延制御信号を作成する遅延制御信号作成手段と、前記遅延制御信号を波形整形して電圧基準信号を作成する電圧基準信号作成手段と、前記電圧駆動型スイッチング素子の主電極間の電圧を検出して主電圧検出信号を出力する電圧検出手段と、前記主電圧検出信号を前記電圧基準信号と比較して前記制御電流源を制御する比較結果信号を出力する比較手段とを有することを要旨とする。

### 【0026】

上位制御装置より与えられる制御信号に対し或る一定時間だけ遅延させた遅延制御信号を波形整形することで電圧基準信号が作成され、スイッチング素子の主電圧検出信号が電圧検出手段で検出される。比較手段でその主電圧検出信号と電圧基準信号とを比較し、比較結果信号により制御電流源を制御することでアクティブゲート駆動が行われる。このように、帰還制御のループがスイッチング素子

の主電圧を検出する単一のループのみで、アクティブゲート駆動が行われる。また、ターンオン・ターンオフ何れのスイッチング過渡期についてもこの単一のループのみで、アクティブゲート駆動が行われる。

#### 【0027】

請求項2記載の発明は、駆動対象となる電圧駆動型スイッチング素子の制御電極を駆動する制御電圧源及び制御電流源と、外部の上位制御装置より与えられる制御信号を基に前記制御電圧源を制御する電圧駆動信号を作成する電圧制御信号作成手段と、前記制御信号に対して或る一定の遅れ時間を持った遅延制御信号を作成する遅延制御信号作成手段と、前記遅延制御信号を波形整形して電圧基準信号を作成する電圧基準信号作成手段と、前記電圧駆動型スイッチング素子の主電極間の電圧を検出して主電圧検出信号を出力する電圧検出手段と、前記主電圧検出信号を前記電圧基準信号と比較して前記制御電流源を制御する比較結果信号を出力する比較手段と、前記制御信号よりスイッチング過渡期間を検出する過渡期間検出手段と、前記比較手段の次段に接続され、前記スイッチング過渡期間のみ前記比較結果信号を通過させ、定常期間では前記比較結果信号を減衰させる選択的信号通過手段とを有することを要旨とする。

#### 【0028】

アクティブゲート駆動は、主としてスイッチング過渡期に有効であり、定常状態では、スイッチング素子の制御電極電位は固定状態とするのが望ましい。選択的信号通過手段により、スイッチング過渡期間のみ比較結果信号を通過させ、定常期間では比較結果信号を減衰させることで、スイッチング過渡期間が終了した後の定常状態では、スイッチング素子の制御電極電位は制御電圧源によって決まる値に固定される。

#### 【0029】

請求項3記載の発明は、前記制御電圧源の出力端子は抵抗を介して前記電圧駆動型スイッチング素子の制御電極に接続され、前記制御電流源の出力端子は前記電圧駆動型スイッチング素子の制御電極に接続されてなることを要旨とする。

#### 【0030】

スイッチング素子の制御電極を抵抗を通して電圧駆動したとき、スイッチング

素子の応答はミラー期間の時間幅だけ遅れる。この時間幅は抵抗の値とスイッチング素子のゲート（制御電極）特性によって決まる。電圧基準信号作成手段で電圧基準信号を作成する際、抵抗の値に応じた遅延時間を持つ遅延制御信号を用いることで、適切なタイミングでアクティブゲート駆動が行われる。

#### 【 0 0 3 1 】

請求項 4 記載の発明は、前記遅延制御信号作成手段は、前記抵抗の値に応じて前記遅延制御信号の遅延時間を可変設定するようにしたことを要旨とする。

#### 【 0 0 3 2 】

ゲート（制御電極）抵抗の値は、しばしば状況に応じて変更されることがある。その抵抗の値に応じて遅延制御信号の遅延時間を可変設定することで、常に適切なタイミングでアクティブゲート駆動が行われる。

#### 【 0 0 3 3 】

請求項 5 記載の発明は、前記電圧基準信号作成手段として、2 次型低域通過フィルタを用いてなることを要旨とする。

#### 【 0 0 3 4 】

電圧基準信号は、抵抗、インダクタンス及びキャパシタンスの直列回路からなる 2 次型低域通過フィルタを用いた電圧基準信号作成手段で作成することが可能である。電圧基準信号作成手段をこのような構成とすることで、ゲート駆動回路を、より簡素な構成とすることが可能となる。

#### 【 0 0 3 5 】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

#### 【 0 0 3 6 】

図 1 は、本発明の第 1 の実施の形態を示す図である。なお、図 1 及び後述の各実施の形態を示す図において前記図 6 における構成要素と同一ないし均等のものは、前記と同一符号を以て示し、重複した説明を省略する。まず、本実施の形態の構成を説明すると、図 1 において、制御電流源 6 の制御信号を生成する部分が次のように構成されている。

#### 【 0 0 3 7 】

即ち、図示省略の外部の上位制御装置より信号線 1 8 を介して与えられる制御信号が遅延制御信号作成手段 3 に入力されている。遅延制御信号作成手段 3 は、入力された制御信号に対し、後述するミラー期間の時間幅に相当する一定時間だけ遅れた遅延制御信号を作成し、この遅延制御信号が電圧基準信号作成手段 4 に入力されている。電圧基準信号作成手段 4 は、入力された遅延制御信号を波形整形して電圧基準信号を作成し、この電圧基準信号が比較手段 5 の一方の入力端子に入力されている。また、電圧駆動型スイッチング素子 9 の主電極間（コレクタ・エミッタ間）の電圧を検出する電圧検出手段 7 の主電圧検出信号出力が比較手段 5 の他方の入力端子に入力されている。比較手段 5 は、主電圧検出信号を電圧基準信号と比較して比較結果信号を出力し、その比較結果信号で制御電流源 6 を制御するようになっている。このような制御を受けた制御電流源 6 の出力で電圧駆動型スイッチング素子 9 のゲート電極（制御電極）が電流駆動されている。

#### 【 0 0 3 8 】

次に、上述のように構成された本実施の形態の作用を説明する。電圧駆動型スイッチング素子 9 のゲート電極は、制御電圧源 2 から発生する方形波状のゲート電圧により抵抗 8 を介して電圧駆動されている。また、これと同時に、電圧駆動型スイッチング素子 9 のゲート電極は、次のような制御電流源 6 の出力により、スイッチング過渡期におけるターンオフサージ電圧やターンオンサージ電流を抑制するアクティブゲート駆動が行われている。

#### 【 0 0 3 9 】

即ち、電圧駆動型スイッチング素子 9 の主電圧が電圧検出手段 7 で検出されて適当な電圧レベルの主電圧検出信号となった後、比較手段 5 により電圧基準信号作成手段 4 で作成された電圧基準信号と比較され、その比較結果信号で制御された制御電流源 6 の出力により電圧駆動型スイッチング素子 9 のゲート電極を電流駆動することで電圧駆動型スイッチング素子 9 の主電圧の波形が電圧基準信号に近似するように制御されて、アクティブゲート駆動が行われる。このように、帰還制御のループが電圧駆動型スイッチング素子 9 の主電圧を検出する単一のループのみで、アクティブゲート駆動が行われ、また、ターンオン・ターンオフ何れのスイッチング過渡期についてもこの単一のループのみで、アクティブゲート駆

動が行われる。

#### 【0040】

上述したように、本実施の形態によれば、スイッチング過渡時に動作する電流駆動の帰還ループが電圧駆動型スイッチング素子9の主電圧を検出する単一のループからなるために、相互干渉による問題が生じない。また、ターンオン・ターンオフ何れのスイッチング過渡期についても、単一の制御ループで単一の電圧基準信号を用いることができるので、構成が簡素で調整も容易となる。

#### 【0041】

図2には、本発明の第2の実施の形態を示す。制御電流源6による電流駆動は、主としてスイッチング過渡時に有効である。オン状態やオフ状態の定常状態では、電圧駆動型スイッチング素子9のゲート電位を固定してしまうことが望ましいから、むしろ制御電流源6は定常状態には動作しないことが望ましい。こうした要求を満たすのが本実施の形態である。

#### 【0042】

本実施の形態では、図2において、外部の上位制御装置より与えられる制御信号よりスイッチング過渡期間を検出する過渡期間検出手段13が設けられ、この過渡期間検出手段13で検出されたスイッチング過渡期間のみ比較結果信号を通過させ、定常期間では比較結果信号を減衰させる選択的信号通過手段14が比較手段5の次段に接続されている。このように、新たに過渡期間検出手段13及び選択的信号通過手段14が追加されている。

#### 【0043】

過渡期間検出手段13によって、制御信号よりスイッチング過渡期間が検出され、過渡期間においてのみ選択的信号通過手段14の信号通過が許されて比較結果信号が制御電流源6に入力する。このような構成をとることにより、スイッチング過渡期間が終了した後の定常状態においては、制御電流源6に比較結果信号が印加されず、スイッチング素子9のゲート電位は制御電圧源2によって決まる電圧値に固定される。

#### 【0044】

選択的信号通過手段14としては、例えば、CMOS ICによって構成される

アナログスイッチを用いることができ、また増幅度を電氣的に変えられる可変増幅器等を用いることもできる。

#### 【0 0 4 5】

図 1 及び図 2 において、電圧基準信号作成手段 4 で電圧基準信号を作成するために一定の時間だけ遅延させた遅延制御信号を用いているのは、以下の理由による。MOS ゲート型スイッチング素子の制御電極であるゲートを外部から見たときの等価入力容量はスイッチング素子の主電圧によって大幅に変わる。スイッチング素子内部に存在する帰還容量によって、等価的に出力端子とゲート端子の間に非線形の静電容量が存在するように見えるからである。

#### 【0 0 4 6】

そのため、図 3 (a) に示すように、抵抗 8 を通してゲートを電圧駆動した場合には、ゲート駆動電圧  $V_g$  として方形波の電圧を印加しても、ゲート・エミッタ間電圧  $V_{ge}$  は直ちに追従するわけではなく、図 3 (b) に示すように、一旦中間的な電位（ミラー電位）に暫く留まったのちに上昇・下降する。 $V_{ge}$  がミラー電位に留まる期間をミラー期間と称する。ミラー期間が終わると同時にスイッチング素子 9 の主電圧  $V_{ce}$  は上昇・下降し始める。

#### 【0 0 4 7】

このように、ゲート駆動信号に対して、概ねミラー期間の時間幅だけスイッチング素子 9 の応答は遅れる。この時間幅は、抵抗 8 の値とスイッチング素子 9 のゲート特性によって決まる。したがって、同一のスイッチング素子 9 を用いる限りは、抵抗 8 の値が決まれば、スイッチング素子 9 の応答遅れも決まる。

#### 【0 0 4 8】

スイッチング素子 9 の主電圧の基準信号を作成する際には、このスイッチング素子の応答遅れ時間を考慮する必要がある。応答遅れを無視して電圧基準信号を作成したのでは、スイッチング素子の応答が追いつかず、適切な制御が行えない。そのために、第 1、第 2 の実施の形態では、電圧基準信号を作成する際に一定の時間だけ遅延させた遅延制御信号を用いている。

#### 【0 0 4 9】

図 4 には、本発明の第 3 の実施の形態を示す。電圧駆動型スイッチング素子 9



のゲート電極に接続した抵抗 8 は、しばしば状況に応じて変更されることがある。こうした場合には、電圧基準信号作成手段 4 で作成される電圧基準信号の遅延時間幅も、これに応じて変更するのが適当である。このことに対応したのが本実施の形態である。

#### 【0050】

本実施の形態では、図 4 において、抵抗 8 に代えて、制御可変抵抗 15 を用いている。制御可変抵抗 15 は、ゲート抵抗値設定信号 16 によって、その値が変わり、ミラー期間を可変できる。また、ゲート抵抗値設定信号 16 は、遅延制御信号作成手段 3 にも入力され、ミラー期間が変わるのに対応して、遅延制御信号の遅れ時間が変更され、電圧基準信号作成手段 4 で作成される電圧基準信号の遅延時間幅が変更される。これにより常に適切な遅延時間幅を持った電圧基準信号を比較手段 5 に入力させることができる。

#### 【0051】

図 5 には、本発明の第 4 の実施の形態を示す。これまで述べてきた通り、本発明では、スイッチング素子 9 の主電圧の基準波形として望ましい波形の電圧基準信号をゲート駆動回路内の電圧基準信号作成手段 4 で作成し、これを基に電圧駆動型スイッチング素子 9 を制御している。この電圧基準信号の作成手段として、簡素で信頼性の高い回路手段が望まれる。

#### 【0052】

図 5 に示す本実施の形態は、簡素な電圧基準信号作成手段を提供するものである。まず、主電圧そのものが、通常どのような波形になるかを考える。主回路に含まれるインダクタンス分とスイッチング素子そのものやスナバコンデンサのキャパシタンス分、それに様々な抵抗分との 3 つの成分が考えられる。

#### 【0053】

スイッチング波形を規定するのは、スイッチング素子自身の挙動の他に上記 3 つの成分であり、最も単純化すれば、単に抵抗  $R$  とインダクタンス  $L$  とキャパシタンス  $C$  の直列回路となる。スイッチング素子自身の電圧は、素子自身がオフ時には概ねキャパシタンスとして近似できることを考えれば、コンデンサの両端電圧となる。以上により、素子の電圧は、図 5 において、 $V_1$  として方形波を加え

たときの  $V_2$  の波形で近似できる。

#### 【0054】

図5の回路は、基本的には2次の低域通過フィルタに他ならない。したがって、最も簡素な電圧基準信号作成手段としては2次型低域通過フィルタが望ましい。図5の回路ではインダクタンス  $L$ 、キャパシタンス  $C$ 、抵抗  $R$  を用いた回路となっているが、むしろ低域通過フィルタを構成できるならば、演算増幅器を用いた低域通過フィルタを用いることも可能であることはいうまでもない。

#### 【0055】

##### 【発明の効果】

以上説明したように、請求項1、2、3、5記載の発明によれば、帰還制御のループがスイッチング素子の主電圧を検出する単一のループのみで、ターンオン・ターンオフ何れのスイッチング過渡期についてもアクティブゲート駆動を行うことができ、簡素で調整が容易であり、またサージ電流やサージ電圧の抑制は、ターンオン期間・ターンオフ期間におけるゲート容量に対する充放電速度を緩和しているのではないので、スイッチング損失の増大を招くことがない。

#### 【0056】

請求項4記載の発明によれば、ゲート抵抗の値に応じて遅延制御信号の遅延時間を可変設定することで、上記効果に加えてさらに、常に適切なタイミングでアクティブゲート駆動を行うことができ、確実にサージ電流やサージ電圧の発生を抑制することができる。

##### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施の形態であるゲート駆動回路のブロック図である。

##### 【図2】

本発明の第2の実施の形態のブロック図である。

##### 【図3】

第1、第2の実施の形態において電圧基準信号の作成に遅延制御信号を用いている理由を説明するための図である。

##### 【図4】

本発明の第 3 の実施の形態のブロック図である。

【図 5】

本発明の第 4 の実施の形態を示す図である。

【図 6】

従来のゲート駆動回路のブロック図である。

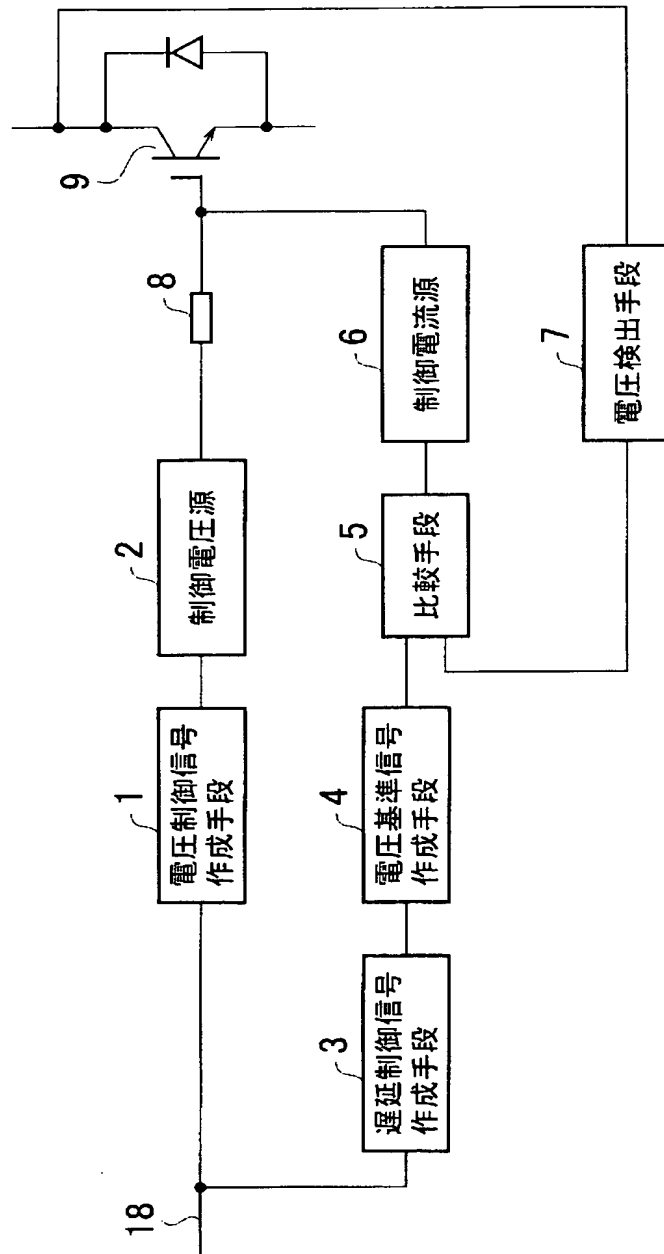
【符号の説明】

- 1 電圧制御信号作成手段
- 2 制御電圧源
- 3 遅延制御信号作成手段
- 4 電圧基準信号作成手段
- 5 比較手段
- 6 制御電流源
- 7 電圧検出手段
- 8 抵抗
- 9 電圧駆動型スイッチング素子
- 13 過渡期間検出手段
- 14 選択的信号通過手段
- 15 制御可変抵抗

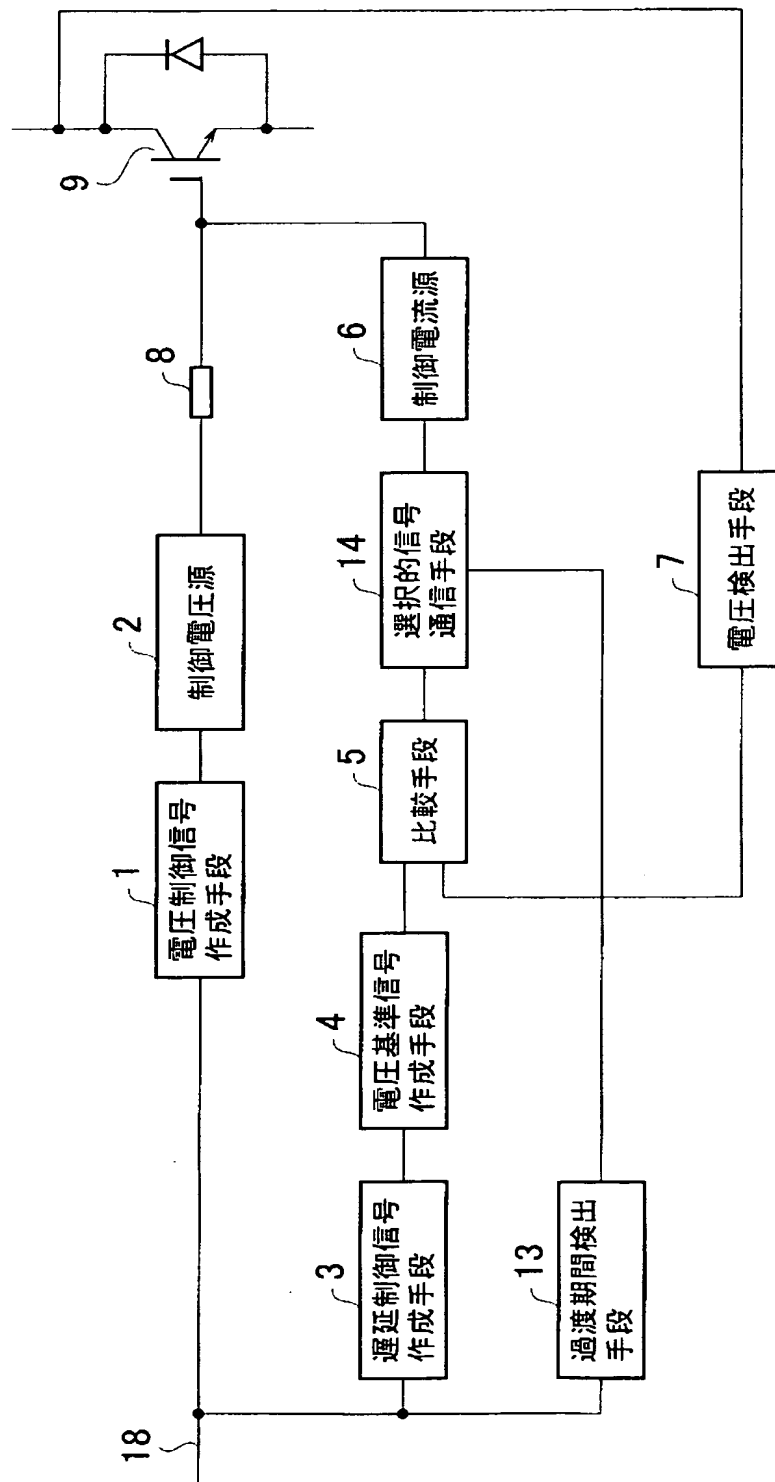
【書類名】

図面

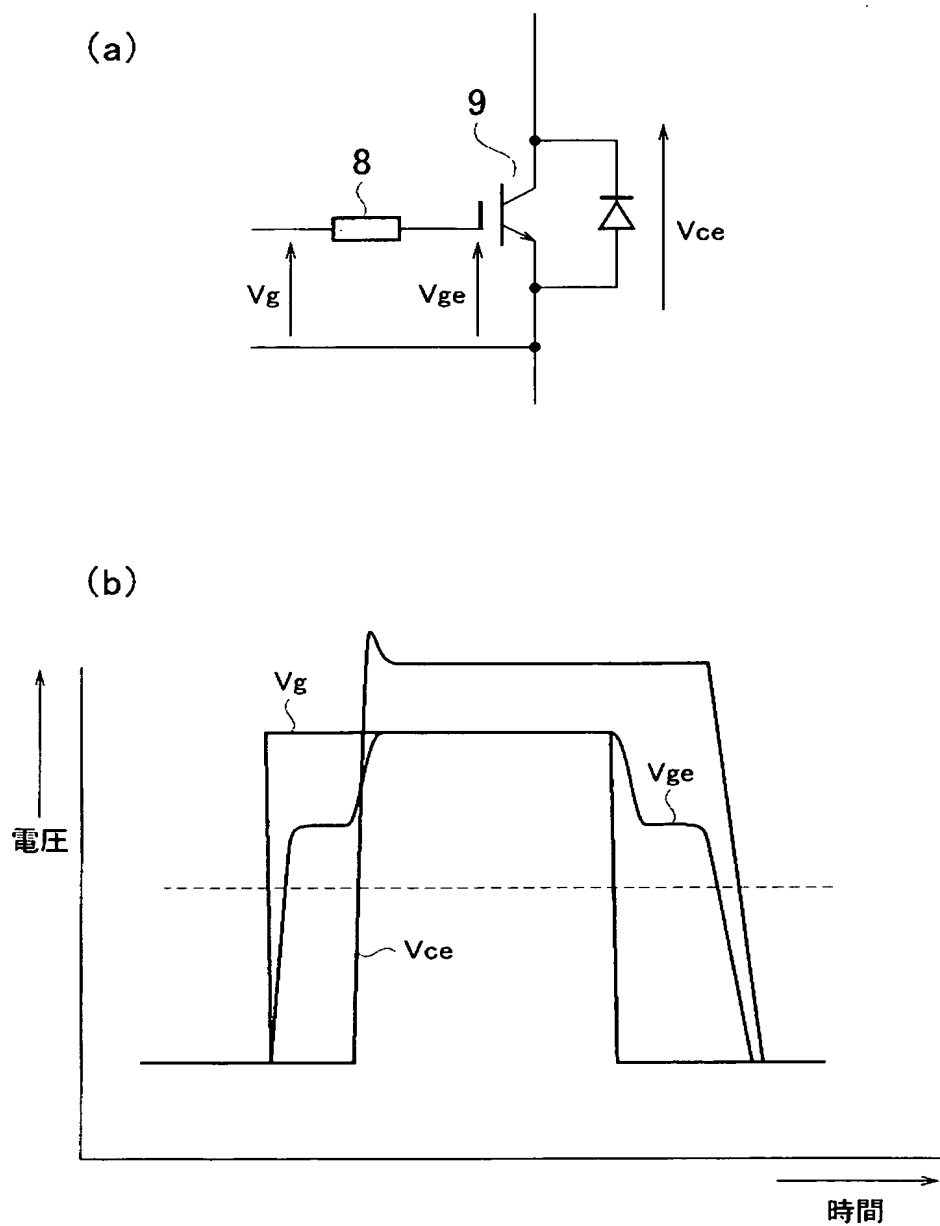
【図 1】



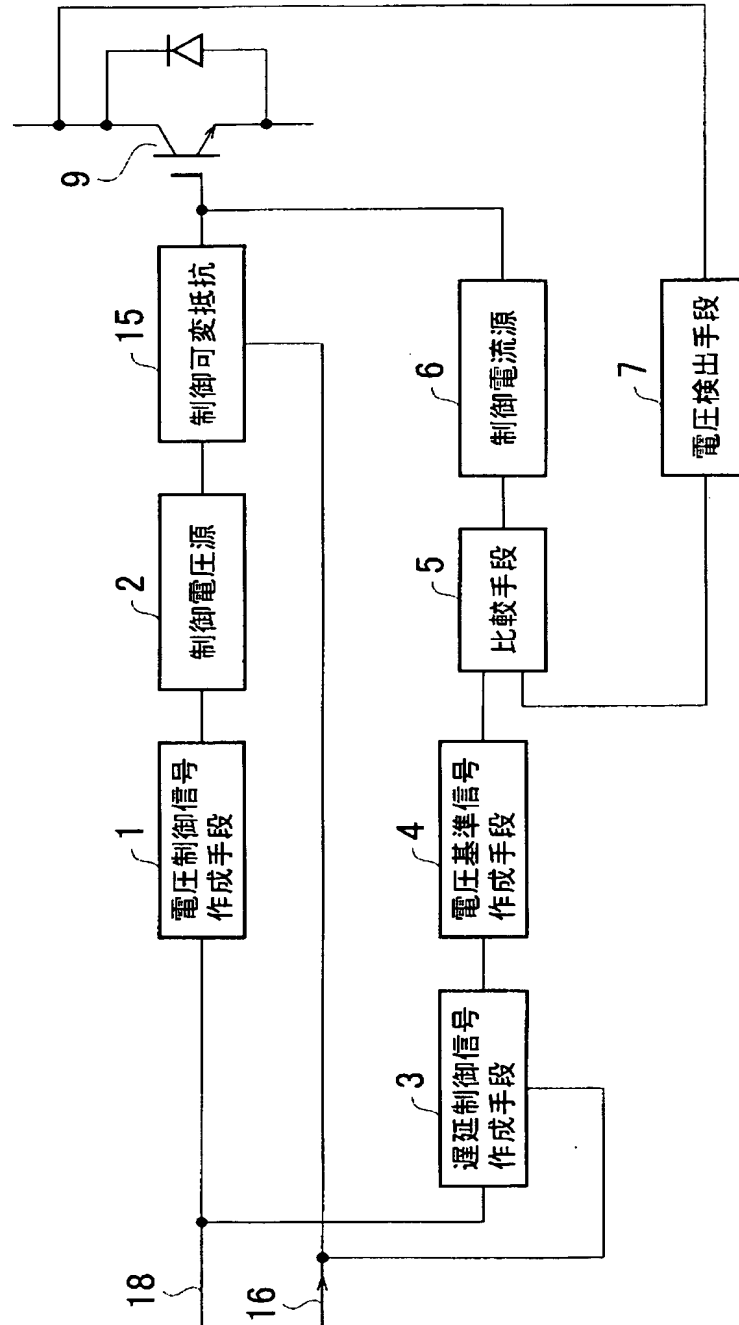
【図 2】



【図 3】

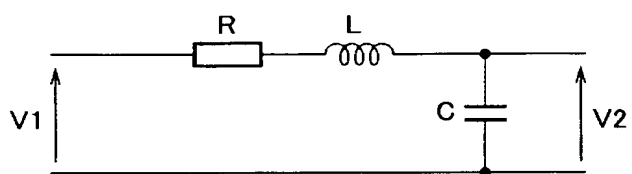


【図 4】

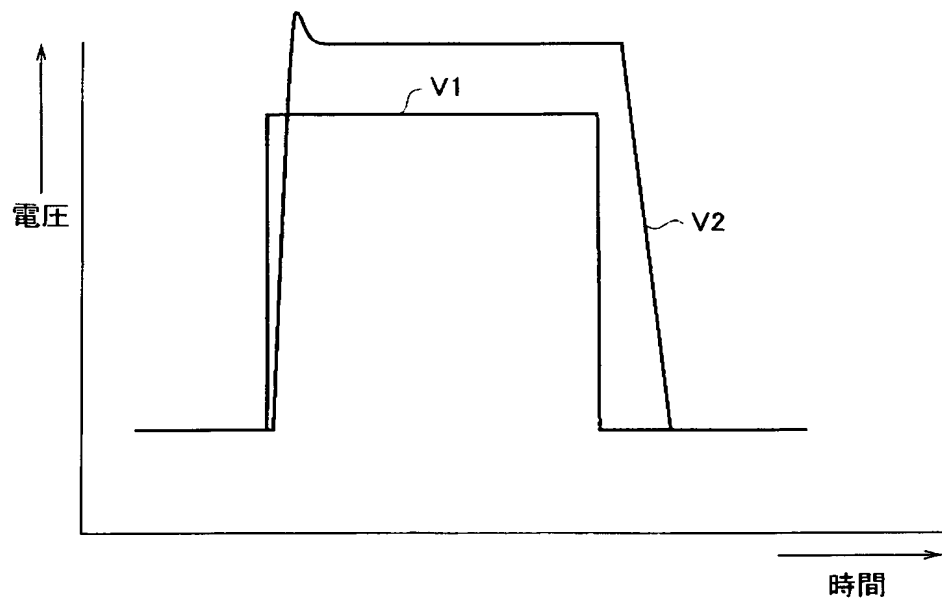


【図 5】

(a)

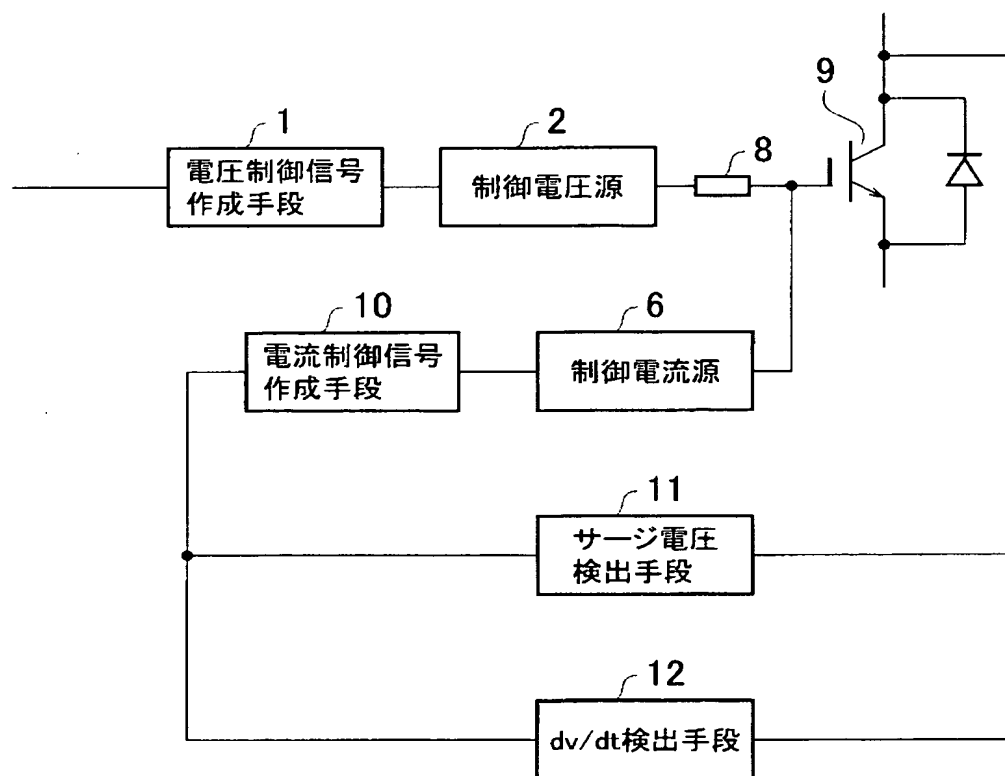


(b)





【図 6】



【書類名】 要約書

【要約】

【課題】 本発明は、アクティブゲート駆動のための、簡素で調整が容易なゲート駆動回路を提供することを目的とする。

【解決手段】 上位制御装置より与えられる制御信号に対して一定の遅れ時間を持った遅延制御信号を作成する遅延制御信号作成手段 3 と、遅延制御信号を波形整形して電圧基準信号を作成する電圧基準信号作成手段 4 と、電圧駆動型スイッチング素子 9 の主電極間の電圧を検出して主電圧検出信号を出力する電圧検出手段 7 と、主電圧検出信号を電圧基準信号と比較して制御電流源 6 を制御する比較結果信号を出力する比較手段 5 とを有することを特徴とする。

【選択図】 図 1

特願 2 0 0 3 - 0 1 2 4 0 9

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝